



REC'D 02 AUG 2004

WIPO

PCT

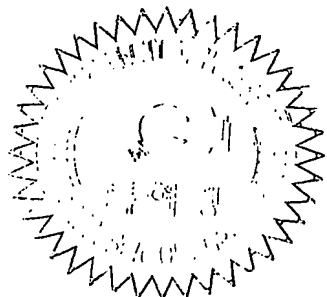
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0052561  
Application Number

출원 년 월 일 : 2003년 07월 30일  
Date of Application JUL 30, 2003

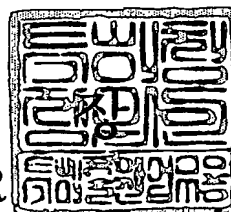
출원인 : 주식회사 이노칩테크놀로지 외 2명  
Applicant(s) Innochips Technology, et al.



2004 년 07 월 15 일

특 허 청

COMMISSIONER



**PRIORITY  
DOCUMENT**  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

## 【서지사항】

**【서류명】** 특허출원서  
**【권리구분】** 특허  
**【수신처】** 특허청장  
**【참조번호】** 0067  
**【제출일자】** 2003.07.30  
**【발명의 명칭】** 다양한 등가인덕턴스 값을 갖는 적층 칩 소자  
**【발명의 영문명칭】** Laminated chip element with various equivalent inductance  
**【출원인】**  
**【명칭】** 주식회사 이노칩테크놀로지  
**【출원인코드】** 1-2000-024767-1  
**【출원인】**  
**【성명】** 박인길  
**【출원인코드】** 4-2003-015936-7  
**【출원인】**  
**【성명】** 김덕희  
**【출원인코드】** 4-2003-015938-0  
**【대리인】**  
**【성명】** 남승희  
**【대리인코드】** 9-2003-000036-2  
**【포괄위임등록번호】** 2003-010231-2  
**【포괄위임등록번호】** 2003-028584-6  
**【포괄위임등록번호】** 2003-028576-2  
**【발명자】**  
**【성명】** 박인길  
**【출원인코드】** 4-2003-015936-7  
**【발명자】**  
**【성명】** 김덕희  
**【출원인코드】** 4-2003-015938-0  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 남승희 (인)

## 【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 16 면 16,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 17 항 653,000 원

【합계】 698,000 원

【감면사유】 중소기업

【감면후 수수료】 349,000 원

## 【첨부서류】

1. 요약서·명세서(도면)\_1통 2. 중소기업기본법시행령 제2조에 의  
한 중소기업에 해당함을 증명하는 서류[사업자등록증 사본 1통,  
원천징수이행상황신고서 사본 1통]\_2통

**【요약서】****【요약】**

본 발명은 적층 칩 소자에 관한 것으로, 특히 고주파 특성이 우수하며 적층 칩 소자에 존재하는 인덕턴스 값을 원하는 값으로 조절하여 제작할 수 있는 적층 칩 소자에 관한 것이다. 전술된 본 발명의 목적을 달성하기 위한 적층 칩 소자는 제1 도전체 패턴이 양 대향 단부를 가로질러 형성된 제1 시트와, 상기 제1 도전체 패턴과 동일 방향으로 양 대향 단부와 이격된 제2 도전체 패턴이 형성된 제2 시트를 포함하고, 상기 제1 도전체 패턴의 양 대향 단부는 각각 제1 및 제2 외부 단자에 연결되고, 상기 제2 도전체 패턴은 상기 제1 및 제2 외부 단자와는 다른 위치에 있는 제3 외부 단자에 연결되고, 상기 제1 시트 및 제2 시트는 적층된다.

**【대표도】**

도 2a

**【색인어】**

피드스루, 커패시터, 복합, 어레이, 인덕터

## 【명세서】

## 【발명의 명칭】

다양한 등가인덕턴스 값을 갖는 적층 칩 소자{Laminated chip element with various equivalent inductance}

## 【도면의 간단한 설명】

도1a는 본 발명의 실시예 1에 따른 적층 칩 소자의 제조 공정도.

도1b는 본 발명의 실시예 1에 따른 적층 칩 소자의 회로도.

도1c는 본 발명의 실시예 1에 따른 적층 칩 소자의 주파수 특성을 도시한 그래프.

도2a는 본 발명의 실시예 2에 따른 적층 칩 소자의 제조 공정도.

도2b는 본 발명의 실시예 2에 따른 적층 칩 소자의 회로도.

도2c는 본 발명의 실시예 2에 따른 적층 칩 소자의 작동을 설명하는 도면.

도2d는 종래 기술에 따른 적층 칩 소자와 본 발명의 실시예 2에 따른 적층 칩 소자의 주파수 특성을 도시한 그래프.

도3a는 본 발명의 실시예 3에 따른 적층 칩 소자의 제조 공정도.

도3b는 본 발명의 실시예 3에 따른 적층 칩 소자의 작동을 설명하는 도면.

도3c는 종래 기술에 따른 적층 칩 소자와 본 발명의 실시예 3에 따른 적층 칩 소자의 주파수 특성을 도시한 그래프.

도4a는 본 발명의 실시예 4에 따른 적층 칩 소자의 제조 공정도.

도4b는 본 발명의 실시예 4에 따른 적층 칩 소자의 작동을 설명하는 도면.

도4c는 종래 기술에 따른 적층 칩 소자와 본 발명의 실시예 4에 따른 적층 칩 소자의 주파수 특성을 도시한 그래프.

도5a는 종래 기술에 따른 적층 칩 소자의 제조 공정도.

도5b는 종래 기술에 따른 적층 칩 소자의 단면도.

도5c는 종래 기술에 따른 적층 칩 소자의 평면도.

도5d는 종래 기술에 따른 적층 칩 소자의 회로도.

도5e는 종래 기술에 따른 적층 칩 소자의 주파수 특성을 도시한 그래프.

<도면의 주요 부분에 대한 부호의 설명>

100, 200, 300, 400, 500: 더미시트

101, 201, 301, 401, 501: 제1 시트

102, 202, 302, 402, 502: 제2 시트

110a, 110b, 110c, 110d, 210, 310, 410, 510: 제1 도전체 패턴

111, 211, 311, 411, 511: 제2 도전체 패턴

120, 220, 320, 420, 521: 소체

130, 230, 330, 430, 530: 제1 외부 단자

131, 231, 331, 431, 531: 제2 외부 단자

132, 232, 332, 432, 532: 제3 외부 단자

540: 중첩 영역

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <30> 본 발명은 적층 칩 소자에 관한 것으로, 특히 고주파 특성이 우수하며 적층 칩 소자에 존재하는 인덕턴스 값을 원하는 값으로 조절하여 제작할 수 있는 적층 칩 소자에 관한 것이다. 더욱이, 본 발명은 고가의 반도체 집적 회로와 중요 전자 부품을 과전압 및 정전기로부터 보호하기 위하여 배리스터 소자와 저항 및 인덕터 소자를 결합시켜 제조한 적층 칩 소자에 관한 것이다.
- <31> 전자회로에 있어서 대표적인 수동소자로서는 저항(R), 커패시터(C), 인덕터(L)가 있으며 이들 수동소자의 기능과 역할은 매우 다양하다.
- <32> 일반적으로 배리스터 소자는 인가전압에 따라 저항이 변하기 때문에 과전압(서지 전압) 및 정전기로부터 중요 전자 부품과 회로를 보호하는 보호용 소자로 널리 사용되고 있다. 즉, 정상상태에서 회로 내에 배치된 배리스터 소자에는 전류가 흐르지 않지만 특정한 전압 이상의 과전압이나 낙뢰 등에 의하여 배리스터 소자의 양단에 과전압 걸리면 배리스터 소자의 저항이 급격히 감소하여 거의 모든 전류가 배리스터 소자에 흐르게 되고, 다른 소자에는 전류가 흐르지 않게 되어 상기 회로는 과전압으로부터 보호된다. 이와 같은 배리스터 소자는 특히 최근에 전자기기의 소형화에 대응하여 고집적 회로 칩 소자 등을 정전기 및 과전압으로부터 보호하기 위하여 소형화 및 어레이화 되는 추세에 있다.
- <33> 또한, 배리스터 소자는 과전압이 걸리지 않은 정상상태에서 커패시터로 작용한다. 이러한 커패시터는 단절된 금속 사이에서 전류 또는 전압의 변화가 있을 때만 신호를 통과시키려는

성질을 가지는 소자를 말한다. 그런데 상기 커패시터에는 커패시턴스 값만을 갖는 것이 아니라 기생 인덕턴스 값을 갖고 있다. 마찬가지로 인덕터는 도선에 전류가 흐를 때 그 전류의 변화를 막으려는 성질을 가지는 소자인데, 상기 인덕터에는 인덕턴스 값 외에도 기생 커패시턴스 값을 가지고 있다. 이로 인하여 특정 고주파에서 소자의 기능이 바뀌게 되는데, 이러한 특정 주파수를 자기 공진 주파수라고 한다.

<34> 한편 저항은 회로에 흐르는 전류의 흐름을 제어하며 교류회로에 있어서는 임피던스정합 (Impedance matching)을 이루는 역할을 하기도 한다. 인덕터는 다른 수동 부품인 커패시터와 결합하여 각종 필터를 구현하며, 상기 필터는 노이즈 제거는 물론 주파수 선택의 기능을 수행할 수 있다.

<35> 위와 같은 배리스터 소자와 저항 소자의 결합으로 과전압으로부터 중요한 전자 부품이나 회로를 효율적으로 보호할 수 있을 뿐만 아니라, 배리스터 소자와 인덕터 소자의 결합으로 노이즈 성분도 제거할 수 있어, 전자 부품이나 회로의 안정된 동작을 보장할 수 있다.

<36> 과전압이 인가되지 않은 상태에서 저항-배리스터 결합 소자는 저항-커패시터의 결합 소자 기능을 수행한다. 또한 인덕터-배리스터의 결합은 고주파 노이즈 제거 특성이 양호한 인덕터-커패시터로 이루어지는 파이( $\pi$ )형 필터를 구현할 수 있다. 이러한 저항-배리스터 결합 소자나 인덕터-배리스터 결합 소자는 회로 내의 이상 과전압이 유입되면 즉시 배리스터의 기능이 발휘되어 상술한 바와 같이 과전류를 차단하게 된다. 일반적으로 대표적인 수동소자인 저항, 인덕터, 커패시터 이 세 소자의 적절한 결합으로 회로 내에서 임피던스 정합 및 고주파-저주파 노이즈 제거 혹은 특정 주파수대의 신호를 선택하는 기능을 수행할 수 있다.

<37> 전자 회로에서 상기 결합 소자를 각각의 단일 소자로 사용하는 경우에는 전류가 흐르는 도선의 길이가 길어지게 되어, 등가 직렬 인덕턴스 값 및 등가 직렬 리지스턴스 값이 달라지게



된다. 따라서, 고주파 전류가 잘 흐르지 않게 되는 경우가 발생하며, 상기 각각의 소자들이 소모하는 전력 때문에 삽입 손실이 커지는 현상이 발생하기도 한다. 이러한 이유로 여러 가지 소자가 결합된 복합 적층 칩 소자가 개발되고 있다.

<38> 도5a는 4개의 커패시터 소자가 하나의 칩으로 제조된 종래 기술에 따른 적층 칩 소자의 제조 공정을 나타내는 제조 공정도이고, 도5b 및 도5c는 이러한 종래의 적층 칩 소자의 단면도 및 평면도이다. 도5a를 보면, 제1 시트(501)에는 각 단위 소자의 양 대향 단부를 가로지르는 제1 도전체 패턴(510)이 각 소자마다 하나씩 모두 4개가 병렬로 형성되어 있다. 상기 제1 시트(501)의 제1 도전체 패턴(510)의 양 단부는 입출력단으로 사용되는 제1 및 제2 외부 단자(530, 531)에 연결된다. 제2 시트(502)에는 제1 도전체 패턴(510)에 교차하는 방향으로 제2 도전체 패턴(511)이 형성되고, 그의 양 단부는 공통 단자(접지)로 사용되는 제3 외부 단자(532)에 연결된다. 이와 같은 각 시트를 적층하고 압착 후 적절한 크기로 절단된 후 소성하여 소체로 제조된다. 도5a의 (b)에 도시된 바와 같이 상기 소체의 제1 및 제2 도전체 패턴(510, 511)은 모두 소체의 양 단부에 노출되도록 형성되어, 도5a의 (c)에 도시된 바와 같이 소체의 측면에는 제1, 제2 및 제3 외부 단자(530, 531, 532)를 형성시키고, 전술된 바와 같이 이들 외부 단자에 각각 제1 도전체 패턴(510)의 양 단부와 제2 도전체 패턴(511)의 양 단부를 연결시켜 칩 소자를 완성한다. 이때 도면에서 가상선(2점 쇄선)으로 나뉜 부분이 하나의 소자로 작동하게 된다.

<39> 도5b는 도5a에 도시된 제조 공정에 따라 완성된 칩 소자에서 선 B-B를 따라 취한 단면도이며, 도5c는 상기 완성된 칩 소자를 위에서 바라본 평면도이다. 일반적으로 커패시터는 전압을 가했을 때 2개의 전극 사이에 전하가 축적되는 소자로서, 유전체를 사이에 두고 두 개의 도전체(전극)가 거리를 두고 떨어져 있을 때 커패시턴스 값이 형성된다. 도5b를 보면 제1 도전체

패턴(510)과 제2 도전체 패턴(511)이 시트의 두께만큼의 거리를 두고 떨어져 있으며, 도5c를 보면 제1 도전체 패턴(510)과 제2 도전체 패턴(511)이 중첩 영역(540)만큼 중첩되어 있다. 따라서 커패시턴스 값은 중첩 영역(540)의 면적에 비례하고, 두 도전체의 거리에 반비례한다.

<40> 이러한 구조의 적층 칩 소자는 도5d의 등가 회로도로 나타낼 수 있다. 도5a 내지 도5d에서 도시한 적층 칩은 2단자 적층 칩과는 달리 내부전극이 특이한 구조, 즉 전류 흐름이 90도로 교차하는 구조로 이를 피드스루(feedthrough)형 커패시터라 한다.

<41> 이와 같은 3단자 피드스루형 커패시터를 저대역 통과 필터로 사용하는 경우(a)와 일반 커패시터를 저대역 통과 필터로 사용하는 경우의 주파수 특성(b)이 도5e에 도시되어 있다. 도시된 바와 같이 일반적인 커패시터에 비해 피드스루형 커패시터는 자기 공진 주파수 값이 높다. 또한 피드스루형 커패시터는 신호의 입출력단과 접지단이 동일 칩 소자 내에 조밀하게 구현되어 있어 고주파 노이즈에 대한 삽입 손실 값을 크게 할 수 있어 실제로 3단자형 피드스루 적층 칩 소자는 현재 전자회로에 많이 사용되고 있다.

<42> 그러나, 이러한 종래의 적층 칩 소자는 임피던스 정합 및 고주파-저주파 노이즈 제거 혹은 특성 주파수대의 신호를 선택하는 기능을 수행하기 어렵고, 등가인덕턴스의 값을 사용자가 원하는 대로 조절하기가 용이하지 않았다. 따라서, 요구되는 주파수 특성에 적합한 소자를 제작하는 데에 많은 어려움이 있었다.

#### 【발명이 이루고자 하는 기술적 과제】

<43> 본 발명의 목적은 전술된 종래 기술의 문제점을 해결하기 위한 것으로서, 전술된 바와 같이 현재 개발이 활발하게 진행 중인 복합 적층 칩 소자 중에서 등가인덕턴스 값을 자유롭게 원하는 값으로 제작할 수 있는 적층 칩 소자를 제공하는 것이다.

<44> 본 발명의 다른 목적은 소자의 용도에 맞추어 고주파 특성을 용이하게 조절하는, 즉, 삽입 손실, 노이즈 제거 기능, 공진 주파수 등을 원하는 대로 조절한 적층 칩 소자를 제공하는 것이다.

<45> 본 발명의 다른 목적은 반도체 직접 회로 등의 중요 전자 부품을 과전압 및 정전기로부터 보호하기 위한 적층 칩 소자를 제공하는 것이다.

<46> 또한 본 발명의 다른 목적은 별도의 추가 공정 없이 원하는 소자를 단일 칩 내에 복수개 배치하는 어레이형으로 제조하여 소형화된 적층 칩 소자를 제공하는 것이다.

#### 【발명의 구성】

<47> 전술된 본 발명의 목적을 달성하기 위한 본 발명의 일 태양은 양 대향 단부측에 각각 형성된 제1 영역과 이들 제1 영역을 연결하고 소정의 인덕턴스 값을 가지도록 형성된 제2 영역으로 구성된 제1 도전체 패턴이 형성된 제1 시트와, 상기 제1 영역들을 연결하는 방향으로 교차하는 방향으로 제2 도전체 패턴이 양 대향 단부를 가로질러 형성된 제2 시트를 포함하고, 상기 제1 도전체 패턴의 제1 및 제2 영역의 각 일 단부는 제1 및 제2 외부 단자에 각각 연결되고, 상기 제2 도전체 패턴의 적어도 일 단부는 제3 외부 단자에 연결 되고, 상기 제1 시트 및 제2 시트는 적층된 적층 칩 소자에 관한 것이다. 이러한 적층 칩 소자에서 제1 및 제2 시트는 복수 개이며, 상기 제1 시트와 제2 시트는 교대로 적층되고, 상기 적층된 복수의 제1 시트에 형성된 제1 도전체 패턴의 제1 영역은 각각의 시트마다 소정의 거리만큼 이격될 수 있다.

<48> 전술된 본 발명의 목적을 달성하기 위한 본 발명의 다른 일 태양은 제1 도전체 패턴이 양 대향 단부를 가로질러 형성된 제1 시트와, 상기 제1 도전체 패턴과 동일 방향으로 양 대향 단부와 이격된 제2 도전체 패턴이 형성된 제2 시트를 포함하고, 상기 제1 도전체 패턴의 양 대

향 단부는 각각 제1 및 제2 외부 단자에 연결되고, 상기 제2 도전체 패턴은 상기 제1 및 제2 외부 단자와는 다른 위치에 있는 제3 외부 단자에 연결되고, 상기 제1 시트 및 제2 시트는 적층된 적층 칩 소자에 관한 것이다. 이러한 적층 칩 소자에서 제2 도전체 패턴의 일 단부, 양 단부 사이의 중간부, 또는 양 단부가 제3 외부 단자와 연결될 수 있다. 제2 도전체 패턴의 일 단부 또는 양 단부 사이의 중간부가 제3 외부 단자와 연결된 적층 칩 소자에서 상기 제1 및 제2 도전체 패턴은 복수개가 병렬로 형성되고, 서로 인접한 상기 제2 도전체 패턴의 제3 외부 단자와 연결되는 부분은 서로 연결되어, 복수개의 단위 소자가 단일칩 내에 어레이 형으로 제조될 수 있으며, 제2 도전체 패턴의 양 단부가 제3 외부 단자와 연결된 적층 칩 소자에서는 상기 제1 및 제2 도전체 패턴은 복수개가 병렬로 형성되고, 인접한 패턴이 하나인 제2 도전체 패턴의 대향하는 각각의 일 단부는 제3 외부 단자와 직접 연결되고, 인접한 제2 도전체 패턴들의 대향하는 각각의 일 단부는 서로 연결되어, 복수개의 단위 소자가 단일칩 내에 어레이 형으로 제조될 수 있다. 상기 제1 시트 및 제2 시트 중 적어도 하나는 복수개일 수 있고, 상기 제2 시트는 2개가 연속하여 적층될 수 있다.

<49> 전술된 적층 칩 소자에 있어서, 상기 시트는 페라이트 시트, 세라믹 시트, 배리스터 시트, PTC 서미스터 시트 또는 NTC 서미스터 시트를 포함할 수 있다. 또한, 도전체 패턴은 Ag, Pt, Pd 등의 금속 패턴을 포함할 수 있으며, 특히, 상기 제1 도전체 패턴은 Ni-Cr 또는 RuO<sub>2</sub> 등의 저항체 패턴을 포함할 수 있다.

<50> 다음은 도면을 참조하여 본 발명의 양호한 실시예에 대해 설명하고자 한다.

<51> [실시예 1]

<52> 도1a 내지 도1c는 본 발명의 실시예 1에 따른 적층 칩 소자를 설명하기 위한 도면이다.

- <53> 본 실시예에 따른 적층 칩 소자의 제조 공정을 나타내는 도1a를 참조하면, 상기 적층 칩 소자는 복수 개의 소자, 예를 들어 4개의 소자가 하나의 칩으로 제조되어 있다.
- <54> 우선 원하는 소자용 성형 시트를 제조한다. 배리스터 소자를 제조한다면, 공업용으로 시판하고 있는 배리스터 소자의 원료 분말을 이용하거나 ZnO 분말에 Bi<sub>2</sub>O<sub>3</sub>, CoO, MnO 등의 첨가제를 넣은 원하는 조성에 물 또는 알코올 등을 용매로 24시간 볼밀(Ball Mill)하여 원료분말을 준비한다. 성형 시트를 준비하기 위해 상기 준비된 배리스터용 분말에 첨가제로 PVB계 바인더(binder)를 원료 분말 대비 약 6wt% 정도 측량한 후 톨루엔/알코올(toluene/alcohol)계 솔벤트(solvent)에 용해시켜 투입한 후 소형 볼 밀(ball mill)로 약 24시간 동안 밀링(milling) 및 혼합하여 슬러리(slurry)를 제조하고, 이러한 슬러리를 닥터 블레이드(Doctor blade) 등의 방법으로 도1a와 같이 원하는 두께의 성형 시트(100 내지 103)로 제조한다. 이때 커패시터 소자용 조성의 원료 분말, PTC(positive temperature coefficient) 서미스터 소자용 조성의 원료 분말 또는 NTC(negative temperature coefficient) 서미스터 소자용 조성의 원료 분말도 상기와 같은 방법으로 원하는 두께의 성형 시트로 제조할 수 있다.
- <55> 상기와 같이 제조된 시트 위에 특수하게 설계된 내부전극 패턴의 스크린을 이용하여 스크린 프린팅(screen printing) 등의 방법으로 Ag, Pt, Pd 등의 도전성 페이스트(Paste)를 인쇄하여 도전체 패턴을 형성한다.
- <56> 우선, 도1a의 (a)에서 도면 부호 101a로 표시된 제1 시트에는 횡방향으로 양 대향 단부 측에 각각 형성된 제1 영역(110a1, 110a3)과 이들 제1 영역(110a1, 110a3)을 연결하는 제2 영역(110a2)으로 구성된 제1 도전체 패턴(110a)을 형성한다. 상기 제1 영역(110a1, 110a3)을 연결하는 제2 영역(110a2)은 종방향으로 "ㄷ"자 형상으로 길게 연장되어 소정의 인덕턴스 값을 가지도록 형성된다. 제1 시트(101a)의 상하부에는 제1 도전체 패턴(110a)의 제1, 제2 영역들

(110a1, 110a3)을 연결하는 방향과 직각 방향으로 교차하는 제2 도전체 패턴(111)을 형성하여 제2 시트(102)를 제조하고 제1 및 제2 시트를 적층한다. 이때 한쌍의 제1 및 제2 시트의 적층으로 하나의 소자가 제조된다.

<57>      상기 하나의 소자와 독립적인 다른 하나의 소자를 단일 적층체 내에 형성하기 위하여, 도1a의 (a)에서 도면 부호 101b로 표시된 제1 시트에도 상기 제1 시트(101a)에 형성된 제1 도전체 패턴(110a)과 유사한 형태의 제1 도전체 패턴(110b)이 형성된다. 이때, 제1 시트(101b)상에 형성된 제1 도전체 패턴(110b)의 제1 영역은, 도1a의 (a)에 도시된 바와 같이, 제1 시트(101a)상에 형성된 제1 도전체 패턴(110a)의 제1 영역과 중방향으로 이격되어 있다. 다른 층의 제1 시트(101c, 101d)에도 이와 동일한 방식으로 제1 도전체 패턴(110c, 110d)을 형성한다.

<58>      본 실시예에 따른 적층 칩 소자는, 도1a의 (a)에 도시된 바와 같이, 제2 시트들(102) 사이에 제1 시트(101a, 101b, 101c, 101d)들을 적층시키고 적층된 시트의 최상부에는 도전체 패턴 보호를 위한 더미시트(100)를 적층시킨다. 이때, 더미시트(100)를 적층하는 대신 적층된 시트의 최상부에 절연층을 형성할 수도 있다.

<59>      실제로 하나의 시트에 원하는 개수(본 실시예에서는 4개)의 소자에 해당하는 패턴, 특히 하나의 시트에 제1 도전체 패턴을 하나만 형성(인쇄)하지 않고, 동일한 패턴을 하나의 시트에 좌우로 복수개 형성하고 이들을 적층한 다음, 절단시 도1a의 (a)와 같은 형상이 되도록 하여 대량 생산에 적합하게 할 수 있다.

<60>      상기과 같이 절단된 적층물 내의 각종 바인더 등 유기물 성분을 모두 제거하기 위하여 적층물을 약 300℃ 정도에서 가열하여 베이킹 아웃(Bake-out)시킨다. 그 다음, 온도를 상승시켜 적당한 소성온도(예를 들면 약 1,100℃)에서 적층물을 소성하여 도1a의 (b)에 도시된 바와 같은 소체(120)를 얻는다. 소성된 소체(120)의 측면에는 제1 도전체 패턴(110a, 110b, 110c,

110d)의 제1 영역의 각 일 단부와 제2 도전체 패턴(111)의 각 일 단부가 모두 외부로 노출되므로, 외부로 노출된 일 단부의 위치에 외부 전극을 형성시킴으로써 4개의 소자로 이루어진 적층 소자 칩을 완성한다.

<61> 즉, 외부 단자 전극은 형성할 전극의 수(예를 들어 도1a의 (b)에 도시된 소체의 측면에 외부 단자 전극을 인쇄할 경우 4개)와 위치에 따라 원주면에 홈이 파여진 고무 디스크(disc)에 은 페이스트(Ag-paste)를 묻힌 후, 소체(120)에 디스크를 밀착 회전시켜(dipping작용) 전극을 인쇄한 뒤 적절한 온도에서 소성한다. 그에 따라 도1a의 (c)에 도시된 바와 같이 소체의 측면에 4개의 제1 및 제2 외부 단자(130, 131)와 공통 단자인 제3 외부 단자(132)를 형성시킴으로써, 제1 도전체 패턴(110a, 110b, 110c, 110d)의 제1 영역의 각 단부는 각 소자에 대응하는 각각의 입출력 신호 단자인 제1 및 제2 외부 단자(130, 131)에 연결되고, 제2 도전체 패턴(111)의 양 단부는 공통 단자(접지 전극)인 제3 외부 단자에 연결된다. 이 경우, 공통 단자는 제2 도전체 패턴(111)의 일 단부에 연결될 수도 있다.

<62> 결과적으로, 전술된 4개의 소자가 일체로 형성된 본 실시예의 적층 칩 소자는 각각의 소자에 대응하는 제1 시트들이 적층되어 형성된 형태이다. 각각의 제 1시트에 형성된 각 소자의 제1 도전체 패턴(110a, 110b, 110c, 110d)은 다른 소자의 도전체 패턴이 형성되지 않은 다른 층을 이용하여 연장된다. 각각의 소자가 길이가 긴 도전체 패턴을 갖더라도 각 소자는 개별 시트층을 사용하므로 본 발명에 따른 칩 소자는 소형으로 제작될 수 있다.

<63> 상기 도1a에 도시된 소자는 제2 도전체 패턴(111)을 사이에 두고 제1 도전체 패턴(110a, 110b, 110c, 110d)이 상하부에 적층된 구조이다. 이러한 도1a의 제조 공정에 따라 완성된 적층 칩 소자에서 한쌍의 제1 시트 및 제2 시트가 적층된 소자의 회로도에는 도1b에 도시된 바와 같다. 회로도에서 제1 도전체 패턴의 제1 영역의 각 일 단부에 연결된 제1 및 제2 외부 단자

(130, 131)는 입출력 단자인 a 및 b이고, 제2 도전체 패턴(111)의 양 단부에 연결된 제3 외부 단자(132)는 공통단자(접지)이다.

<64> 이와 같이 도1a에 도시된 방법으로 제조된 칩 소자는 신호 라인에 직렬로 인덕턴스 성분을 주기 위하여 신호 라인이 길어지도록 제1 도전체 패턴인 내부 전극 패턴을 변형시켜 설계한 구조이다. 신호 라인과 접지 라인 사이의 일부에 동일 방향의 전류 흐름이 길게 발생하여 (110a1, 110a3 참조) 도1c와 같이 본 실시예의 칩 소자( $FT_0$ )의 공진주파수는 도5a 내지 도5f에 도시된 일반적인 피드스루형(FT)보다 낮아진다. 이러한 본 실시예의 적층 칩 소자는 신호 라인의 등가인덕턴스가 증가되는 효과가 있어 삽입 손실의 절대치가 더욱 커지게 되어 노이즈 제거 기능이 향상된다.

<65> [실시예 2]

<66> 도2a 내지 도2d에 도시된 실시예 2는 공통 단자로 사용되는 도전체 패턴의 형상을 변형하여 입출력단에 인가해 주는 전류의 방향에 따라 등가인덕턴스의 값을 변화시킬 수 있는 적층 칩 소자에 관한 것이다.

<67> 도2a는 4개의 소자가 하나의 칩으로 제조된 본 실시예에 따른 적층 칩 소자의 제조 공정을 나타내는 제조 공정도이다. 우선 원하는 소자용 성형 시트는 실시예 1과 동일한 방법으로 제조된다.

<68> 실시예 1과 동일한 방법으로 제조된 시트 위에 특수하게 설계된 내부전극 패턴의 스크린을 이용하여 스크린 프린팅(screen printing) 등의 방법으로 Ag, Pt, Pd 등의 도전성 페이스트(Paste)를 인쇄하여 도전체 패턴을 형성한다. 즉, 시트의 양 대향 단부를 가로지르는 제1 도전체 패턴(210)이 형성된 제1 시트(201)와, 제1 도전체 패턴(210)과 동일한 방향이며 시



트의 양 단부와 이격된 제2 도전체 패턴(211)이 형성된 제2 시트(202)를 제조한다. 제1 도전체 패턴(210)의 양 단부는 입출력단자인 제1 및 제2 외부 단자(230, 231)와 연결되고, 제2 도전체 패턴(211)의 일 단부는 2개 부분으로 분기되어 제1 및 제2 외부 단자(230, 231)와는 다른 위치에 있는 2개의 공통 단자(접지)인 제3 외부 단자(232)와 연결된다. 이 경우, 제2 도전체 패턴(211)의 일 단부는 하나의 공통 단자(접지 전극)에 연결될 수도 있다.

<69> 통상 각각의 시트 상에 복수개의 제1 및 제2 도전체 패턴(210, 211)을 병렬로 형성하여 복수개의 소자를 단일 칩으로 제조할 때, 각각의 제1 도전체 패턴들(210)은 각각 독립적인 하나의 단위 소자(점선으로 표시)를 형성하지만 제2 도전체 패턴(211)들은 서로 연결되어 공통 전극(접지)에 연결되는 것이 바람직하다. 이를 위하여, 도2a의 (a)에 도시된 바와 같이, 제1 도전체 패턴(210)과 동일한 방향으로 형성된 제2 도전체 패턴(211)은 동일한 방향에 위치한 일 단부들이 서로 연결되어 제3 외부 단자(232)와 연결된다.

<70> 상기와 같이 각 도전체 패턴이 형성된 2개의 제1 시트와 2개의 제2 시트를 서로 적층시키고 그 위에 더미시트(200)를 적층하고, 적층된 층이 밀착되도록 열과 압력을 가하여 압착한다. 본 실시예에서는 2개의 제1 시트와 2개의 제2 시트를 서로 적층시키고 있으나, 이에 한정되지 않는다.

<71> 상기와 적층된 시트들은 실시예 1에서 설명된 바와 같은 방식으로, 절단, 베이킹 아웃 및 소성시킨 후, 외부 전극을 형성시켜 칩 소자를 완성한다.

<72> 상기와 적층되고 압착된 적층물을 적절한 크기로 절단한다. 예를 들어 단위소자를 표시하는 2점 쇄선으로 절단할 경우는 단위소자가 단일 칩으로 절단되며, 복수개의 소자를 주기적으로 절단하는 경우는 복수개의 소자가 단일 칩으로 절단된다. 즉, 도2와 같이 4개의 단위 소

자가 배치되도록 절단하면 4개의 단위 소자가 병렬 배치된 어레이형 단일 칩으로 절단할 수 있다.

<73> 이와 같이 완성된 본 실시예에 따른 적층 칩 소자의 단위 소자의 회로도에는 도2b와 같이 표현된다. 회로도에서 제1 도전체 패턴(210)의 양 단부에 연결된 제1 및 제2 외부 단자(230, 231)는 입출력 단자인 a 및 b이고, 제2 도전체 패턴(211)의 양 단부에 연결된 제3 외부 단자(232)는 접지이다.

<74> 본 실시예 2에 따른 적층 칩 소자의 작동을 설명하는 도2c를 참조하면, 적층 칩 소자의 제1 및 제2 외부 단자에 가해지는 전류의 방향에 따라 등가인덕턴스 값이 어떻게 변하는 지 알 수 있다. 도2c에 도시된 바와 같이 신호 라인으로 사용된 제1 도전체 패턴(210)에 도2c의 좌측에 도시된 바와 같이 전압을 가하면 좌측 아래로 전류( $i_1$ )가 흐르고, 도2c의 우측에 도시된 바와 같이 전압을 가하면 우측 위로 전류( $i_3$ )가 흐르게 된다. 이때 접지 라인인 제2 도전체 패턴(211)에는 일단부가 접지에 연결되어 있으므로 어떠한 경우에도 좌측 아래로 전류( $i_2$ ,  $i_4$ )가 흐르게 된다. 따라서, 도2c의 좌측에 도시된 신호 라인과 접지 라인에서 흐르는 전류( $i_1$ ,  $i_2$ )는 그 흐름 방향이 동일하기 때문에 등가인덕턴스는 최대가 되고, 도2c의 우측에 도시된 신호 라인과 접지 라인에서 흐르는 전류( $i_3$ ,  $i_4$ )는 서로 반대 방향(즉, 서로 180도)으로 흐르기 때문에 등가인덕턴스는 최소가 된다.

<75> 또한 도면에는 도시되어 있지 않지만 상기 2개의 제1 시트(201) 사이에 제2 시트(202)를 연속하여 적층하면, 고주파 노이즈 신호를 흘려줄 수 있는 통로가 증가하기 때문에 삽입 손실 특성이 좋아진다.

<76> 도2d는 종래 기술에 따른 적층 칩 소자와 본 발명의 실시예 2에 따른 적층

칩 소자의 주파수 특성을 도시한 그래프이다. 전술된 바와 같이, 본 실시예의 적층 칩 소자는 가해지는 전류의 방향에 따라 등가 인덕턴스가 변하며, 도2b의 좌측에 도시된 단위 소자( $FT_1$ )는 등가인덕턴스는 최대가 되기 때문에 도2d의 주파수 특성에서 종래의 일반적인 피드스루형(FT)보다 공진점이 낮아지며, 도2b의 우측에 도시된 단위 소자( $FT_2$ )는 등가인덕턴스는 최소가 되기 때문에 종래의 일반적인 피드스루형(FT)보다 공진점이 높아진다.

<77> 이와 같이, 본 실시예에 따른 적층 칩 소자는 외부 단자에 가해지는 전류의 방향에 따라 소자 내의 인덕턴스의 크기를 제어할 수 있기 때문에 원하는 주파수 특성의 소자를 얻을 수 있다. 단 이때는 소자의 방향성, 즉 신호의 입출력 표시를 소자의 외관상에 표시해 주어야한다.

<78> [실시예 3]

<79> 도3a 내지 도3c에 도시된 본 실시예 3은 상기 실시예 2를 변형한 예로서, 높은 삽입 손실을 유지하면서 회로의 노이즈 성분의 주파수 범위가 낮을 경우 응용할 수 있는 적층 칩 소자에 관한 것이다.

<80> 실시예 3은 제2 도전체 패턴(311)을 제외하고는 실시예 2와 동일한 구성을 갖는다. 제2 도전체 패턴(311)은 제1 도전체 패턴(310)과 동일한 방향으로 시트의 양 단부와 이격되어 제2 시트(302) 상에 형성되고, 공통 단자인 제3 외부 단자(331)가 제2 도전체 패턴(311)의 중심부와 연결되도록 구성된다. 제2 도전체 패턴(311)의 중심부의 대향하는 2개 부분이 2개의 제3 외부 단자(331)에 연결된다. 이와 달리 제2 도전체 패턴(311)의 중심부의 일부가 하나의 제3 외부 단자(331)에 연결될 수도 있다. 특히, 도3a의 (a)에 도시된 바와 같이, 복수개의 단위 소자가 병렬로 배치되는 경우, 제2 도전체 패턴(311)의 각각은 십자가(+) 형태를 이루어 중심부가 서로 연결된 형태이다.

- <81> 본 발명의 실시예 3에 따른 적층 칩 소자는 전술된 실시예 2와 동일한 방식으로 제조되기 때문에 여기서 제조 공정에 대한 설명은 생략한다.
- <82> 도3b를 참조하면, 본 실시예 3에 따른 적층 칩 소자의 작동이 설명된다. 신호 라인으로 사용된 제1 도전체 패턴(310)에 좌측 아래로 전류( $i$ )가 흐르도록 외부 단자 전류를 가한다. 접지 라인인 제2 도전체 패턴(311)은 중심이 접지에 연결되어 있으므로 제2 도전체 패턴(311)의 중심을 향하여 전류( $i_a$ ,  $i_b$ )가 흐르게 된다. 따라서, 전류( $i_a$ )가 흐르는 부분은 신호 라인과 접지 라인의 전류 방향이 동일하기 때문에 등가인덕턴스는 최대가 되고, 전류( $i_b$ )가 흐르는 부분은 신호 라인과 접지 라인의 전류 방향이 반대이기 때문에 등가인덕턴스는 최소가 되어 이들은 서로 상쇄되고 제2도전체 패턴(311)의 중심 라인의 인덕턴스만 존재하게 된다.
- <83> 또한 도면에는 도시되어 있지 않지만 상기 2개의 제1 시트(301) 사이에 제2 시트(302)를 연속하여 적층하면, 고주파 노이즈 신호를 흘려줄 수 있는 통로가 증가하기 때문에 삽입 손실 특성이 좋아진다.
- <84> 도3c는 종래 기술에 따른 적층 칩 소자와 본 발명의 실시예 3에 따른 적층 칩 소자의 주파수 특성을 도시한 그래프이다. 도3c에 도시된 바와 같이, 실시예 3에 따른 적층 칩 소자( $FT_3$ )는 종래의 일반적인 피드스루형(FT)보다 공진점이 낮아지게 된다. 일반적인 피드스루형(FT)의 경우 신호 라인과 접지 라인이 90도 교차하여 등가인덕턴스가 거의 없어지는 것에 비하여, 전술한 바와 같은 도3a의 구조는 제2도전체 패턴(311)의 중심 라인의 인덕턴스는 잔류하기 때문이다. 따라서, 노이즈 제거 특성은 종래의 일반적인 피드스루형과 같이 높은 삽입 손실 절대값을 유지하면서 회로의 노이즈 성분의 주파수 범위가 낮을 경우에 응용할 수 있다.
- <85> 본 실시예에서는 제2 도전체 패턴(311)의 중심부가 접지로 사용될 수 있는 제3 단자에 연결되어 있으나, 이에 한정되지 않고 원하는 주파수의 특성에 따라서 제2 도전체 패턴(311)의

다른 적절한 위치(예를 들어 접지의 중심부를 2/3지점에 둔다)에서 제3 단자와 연결시킬 수 있다.

<86> [실시예 4]

<87> 도4a 내지 도4c에 도시된 본 실시예 4는 상기 실시예 2 및 3을 변형한 예로서, 삽입 손실 등의 노이즈 제거 특성을 유지하면서 낮은 공진 주파수를 갖는 적층 칩 소자에 관한 것이다. 즉, 본 실시예에서는 공통 단자로 사용되는 도전체 패턴의 형상을 변형하여 입출력단에 인가해 주는 전류의 방향에 상관없이 접지 라인에 흐르는 전류의 방향이 입출력단에 흐르는 전류의 방향과 동일하도록 설계하여 등가인덕턴스의 값을 증가시켜 삽입 손실 등의 노이즈 제거 특성을 유지하면서 낮은 공진 주파수를 갖는 적층 칩 소자에 관한 것이다.

<88> 실시예 4는 제2 도전체 패턴과 제3 외부 단자의 위치를 제외하고는 실시예 2 및 3과 동일한 구성을 갖는다.

<89> 도4a의 (a)에 도시된 바와 같이, 제2 도전체 패턴(411)은 제1 도전체 패턴(410)과 동일한 방향으로 시트의 양 단부와 이격되어 제2 시트(402) 상에 형성되고, 공통 단자인 제3 단자는 제2 도전체 패턴(411)의 양 대향 단부와 연결된다. 즉, 복수개의 단위 소자가 병렬로 배치되는 경우, 인접한 제2 도전체 패턴(411)들의 대향하는 각각의 일 단부는 서로 연결된다. 즉, 최외부에 배치된 2개의 제2 도전체 패턴(411)의 대향하는 각각의 양 단부는 제3 외부 단자(432)와 직접 연결된다.

<90> 본 발명의 실시예 4에 따른 적층 칩 소자는 전술된 실시예 2 및 3과 동일한 방식으로 제조되기 때문에 여기서 제조 공정에 대한 설명은 생략한다.

- <91> 도4b를 참조하면, 본 실시예 4에 따른 적층 칩 소자의 작동이 설명된다. 신호 라인으로 사용된 제1 도전체 패턴(410)에 좌측 아래로 전류(i)가 흐르도록 외부 단자 전류를 가한다. 이때 제1 도전체 패턴(410)의 주위에는 자기장이 형성되어, 제1 도전체 패턴(410)의 상하에 있는 제2 도전체 패턴(411)에 제1 도전체 패턴(410)에서 흐르는 전류(i)와 동일한 방향의 전류(i)가 흐르도록 유도하게 된다. 따라서 신호 라인과 접지 라인에 흐르는 전류의 방향이 동일하기 때문에 등가인덕턴스는 최대가 된다. 종래 기술에 따른 적층 칩 소자와 본 발명의 실시예 4에 따른 적층 칩 소자의 주파수 특성을 도시한 도4c에 도시된 바와 같이, 실시예 4에 따른 적층 칩 소자(FT<sub>4</sub>)는 종래의 일반적인 피드스루형(FT)보다 공진점이 낮아지게 된다. 이로써, 삽입 손실 등의 노이즈 제거 특성은 유지하고 공진 주파수를 낮추어 회로의 상황에 맞는 소자를 구현할 수 있다.
- <92> 또한 도면에는 도시되어 있지 않지만 상기 2개의 제1 시트(401) 사이에 제2 시트(402)를 연속하여 적층하면, 고주파 노이즈 신호를 흘려줄 수 있는 통로가 증가하기 때문에 삽입 손실 특성이 좋아진다.
- <93> 이상의 실시예 1 내지 4 모두에서 상기 시트가 배리스터 시트이며, 상기 제1 도전체 패턴(110, 210, 310, 410)은 Ag, Pt, Pd 등의 금속 패턴을 포함하여 도전율을 높일 수 있다. 특히, 실시예 2 내지 4에서 제1 도전체 패턴이 Ni-Cr 또는 RuO<sub>2</sub> 등의 저항인 경우는 저항-배리스터 적층 칩 소자가 되어 회로의 임피던스 정합을 자유롭게 할 수 있다. 물론 상기 시트가 PTC 서미스터 시트 또는 NTC 서미스터 시트인 경우는 상기 칩은 저항-서미스터 적층 칩이 되어 과전류나 급격한 온도변화 발생시 소자를 보호하게 된다.

## 【발명의 효과】

- <94>      상기와 같은 구성에 의한 본 발명의 적층 칩 소자는, 다양한 인덕턴스 값을 원하는 대로 조절할 수 있고, 노이즈 제거, 삽입 손실 등의 특성을 향상시킬 수 있으며, 반도체 집적 회로 등의 중요 전자 부품을 과전압 및 정전기로부터 효과적으로 보호할 수 있다.
- <95>      또한 본 발명은 별도의 추가 공정 없이 저항 성분을 각각의 소자에 결합시켜 저항이 결합된 복합 적층 칩을 제조할 수 있으며, 별도의 공정 추가 없이 단순한 공정에 의해 원하는 전기적 특성을 구현하는 경박 단순화된 소형의 적층 칩 소자 및 어레이 칩을 용이하게 제조할 수 있다.
- <96>      더욱이 본 발명과 같은 적층 칩 소자의 제조 방법은 별도의 공정 추가 없이 단순한 공정에 의해 제조되므로 공정 단가를 감소시키는 효과가 있다.

**【특허청구범위】****【청구항 1】**

양 대향 단부측에 각각 형성된 제1 영역과 이들 제1 영역을 연결하고 소정의 인덕턴스 값을 가지도록 형성된 제2 영역으로 구성된 제1 도전체 패턴이 형성된 제1 시트와,

상기 제1 영역들을 연결하는 방향에 교차하는 방향으로 제2 도전체 패턴이 양 대향 단부를 가로질러 형성된 제2 시트를 포함하고,

상기 제1 도전체 패턴의 제1 및 제2 영역의 각 일 단부는 제1 및 제2 외부 단자에 각각 연결되고, 상기 제2 도전체 패턴의 적어도 일 단부는 제3 외부 단자에 연결되고,

상기 제1 시트 및 제2 시트는 적층된 것을 특징으로 하는 적층 칩 소자.

**【청구항 2】**

제1항에 있어서, 제1 및 제2 시트는 복수 개이며, 상기 제1 시트와 제2 시트는 교대로 적층되고,

상기 적층된 복수의 제1 시트에 형성된 제1 도전체 패턴의 제1 영역은 각각의 시트마다 소정의 거리만큼 이격된 것을 특징으로 하는 적층 칩 소자.

**【청구항 3】**

제1 도전체 패턴이 양 대향 단부를 가로질러 형성된 제1 시트와,

상기 제1 도전체 패턴과 동일 방향으로 양 대향 단부와 이격된 제2 도전체 패턴이 형성된 제2 시트를 포함하고,



상기 제1 도전체 패턴의 양 대향 단부는 각각 제1 및 제2 외부 단자에 연결되고, 상기 제2 도전체 패턴은 상기 제1 및 제2 외부 단자와는 다른 위치에 있는 제3 외부 단자에 연결되고,

상기 제1 시트 및 제2 시트는 적층된 것을 특징으로 하는 적층 칩 소자.

#### 【청구항 4】

제3항에 있어서, 상기 제2 도전체 패턴의 일 단부는 제3 외부 단자와 연결된 것을 특징으로 하는 적층 칩 소자.

#### 【청구항 5】

제3항에 있어서, 상기 제2 도전체 패턴의 양 단부 사이의 중간부가 제3 외부 단자와 연결된 것을 특징으로 하는 적층 칩 소자.

#### 【청구항 6】

제3항에 있어서, 상기 제2 도전체 패턴의 양 단부는 제3 외부 단자와 연결된 것을 특징으로 하는 적층 칩 소자.

#### 【청구항 7】

제6항에 있어서, 상기 제1 및 제2 도전체 패턴은 복수개가 병렬로 형성되고, 인접한 패턴이 하나인 제2 도전체 패턴의 대향하는 각각의 일 단부는 제3 외부 단자와 직접 연결되고,

인접한 제2 도전체 패턴들의 대향하는 각각의 일 단부는 서로 연결되어, 복수개의 단위 소자가 단일칩 내에 어레이 형으로 제조된 것을 특징으로 하는 적층 칩 소자.

**【청구항 8】**

제3항 내지 제5항 중 어느 한 항에 있어서, 상기 제1 및 제2 도전체 패턴은 복수개가 병렬로 형성되고, 서로 인접한 상기 제2 도전체 패턴의 제3 외부 단자와 연결되는 부분은 서로 연결되어, 복수개의 단위 소자가 단일칩 내에 어레이 형으로 제조된 것을 특징으로 하는 적층 칩 소자.

**【청구항 9】**

제3항 내지 제7항 중 어느 한 항에 있어서, 상기 제1 시트 및 제2 시트 중 적어도 하나는 복수개인 것을 특징으로 하는 적층 칩 소자.

**【청구항 10】**

제3항 내지 제7항 중 어느 한 항에 있어서, 상기 제2 시트는 2개가 연속하여 적층된 것을 특징으로 하는 적층 칩 소자.

**【청구항 11】**

제1항 내지 제7항 중 어느 한 항에 있어서, 상기 시트는 페라이트 시트를 포함하는 것을 특징으로 하는 적층 칩 소자.

**【청구항 12】**

제1항 내지 제7항 중 어느 한 항에 있어서, 상기 시트는 세라믹 시트를 포함하는 것을 특징으로 하는 적층 칩 소자.

**【청구항 13】**

제1항 내지 제7항 중 어느 한 항에 있어서, 상기 시트는 배리스터 시트를 포함하는 것을 특징으로 하는 적층 칩 소자.

## 【청구항 14】

제1항 내지 제7항 중 어느 한 항에 있어서, 상기 시트는 PTC 서미스터 시트를 포함하는 것을 특징으로 하는 적층 칩 소자.

## 【청구항 15】

제1항 내지 제7항 중 어느 한 항에 있어서, 상기 시트는 NTC 서미스터 시트를 포함하는 것을 특징으로 하는 적층 칩 소자.

## 【청구항 16】

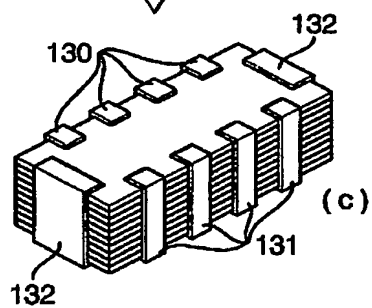
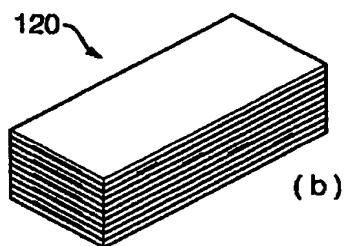
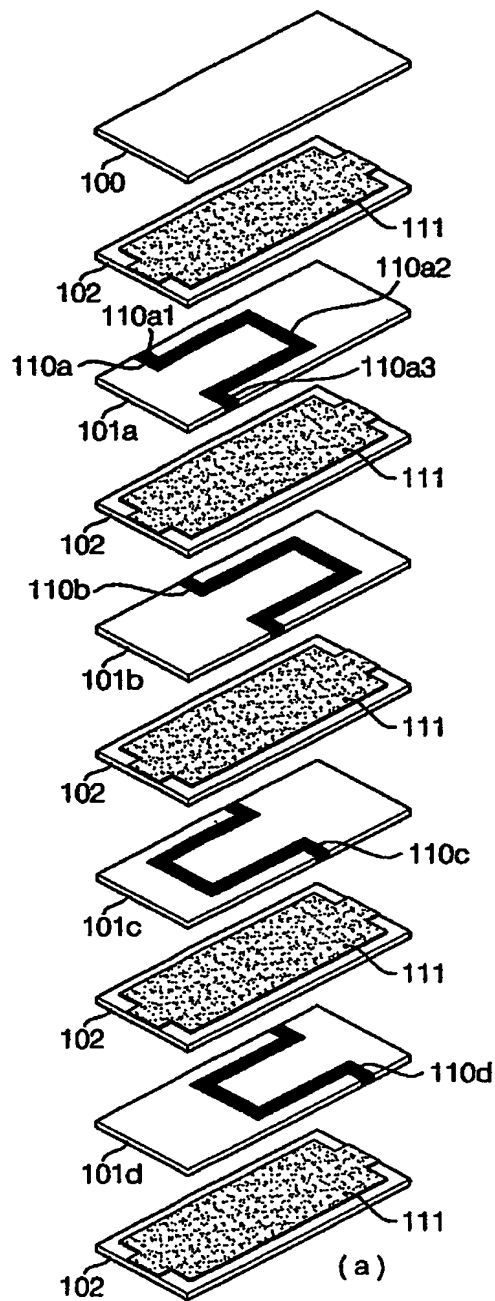
제1항 내지 제7항 중 어느 한 항에 있어서, 상기 도전체 패턴은 Ag, Pt, Pd 등의 금속 패턴을 포함하는 것을 특징으로 하는 적층 칩 소자.

## 【청구항 17】

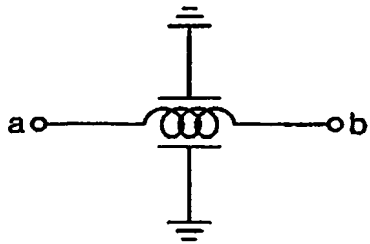
제3항 내지 제7항 중 어느 한 항에 있어서, 상기 제1 도전체 패턴은 Ni-Cr 또는 RuO<sub>2</sub> 등의 저항체 패턴을 포함하는 것을 특징으로 하는 적층 칩 소자.

【도면】

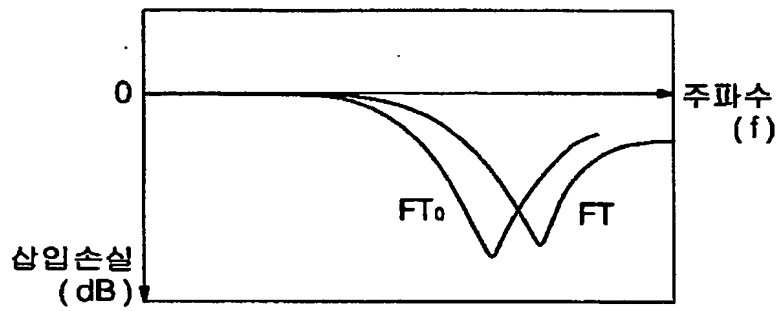
【도 1a】



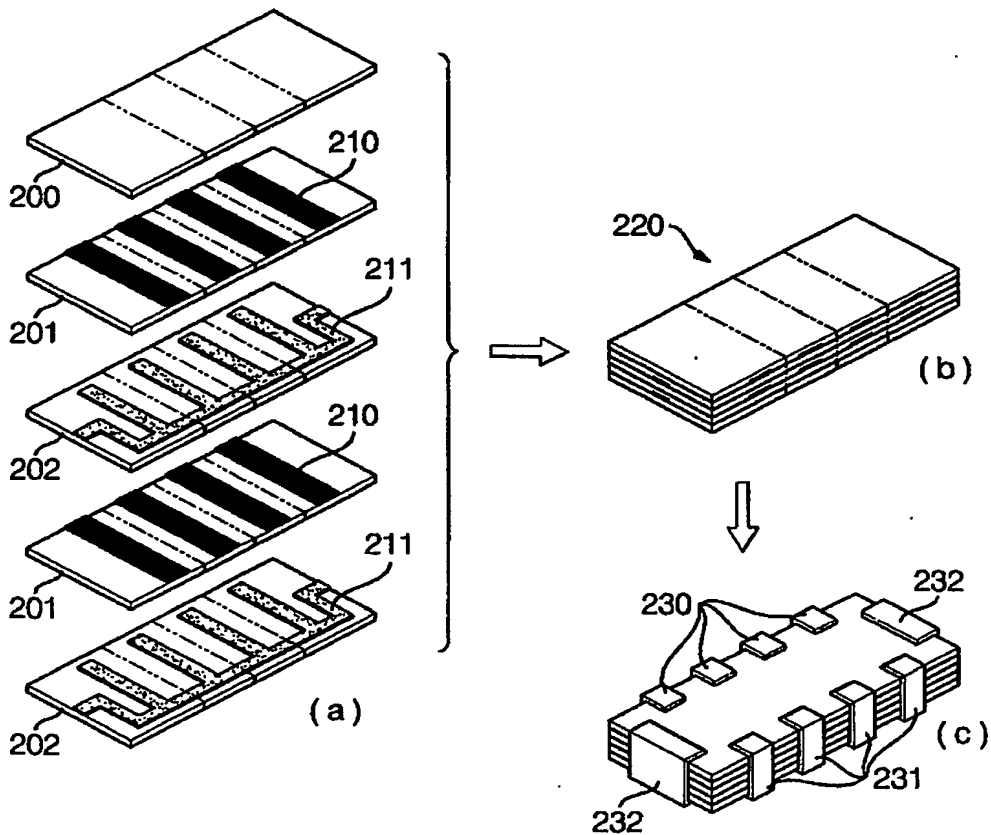
【도 1b】



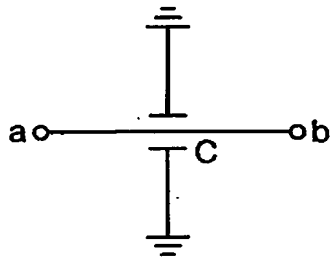
【도 1c】



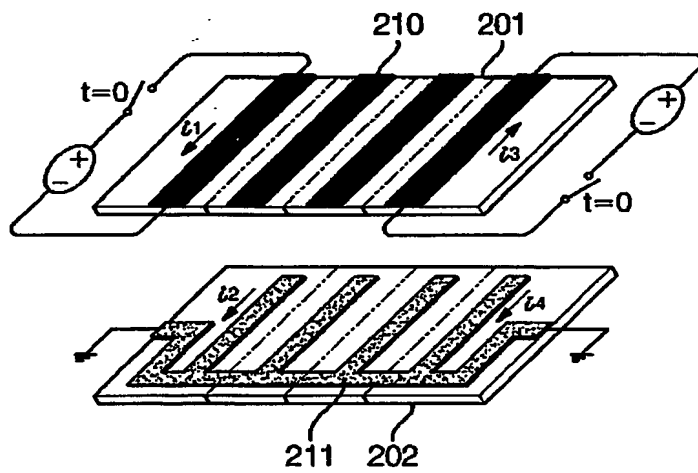
【도 2a】



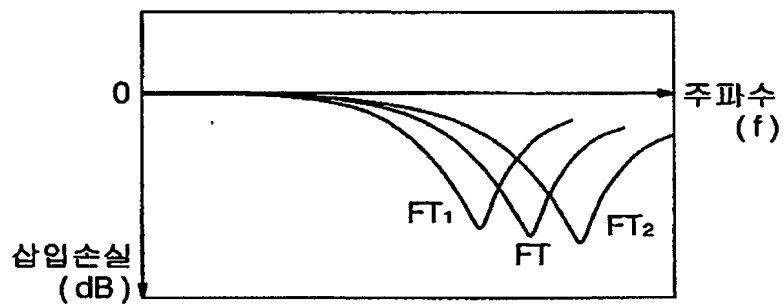
【도 2b】



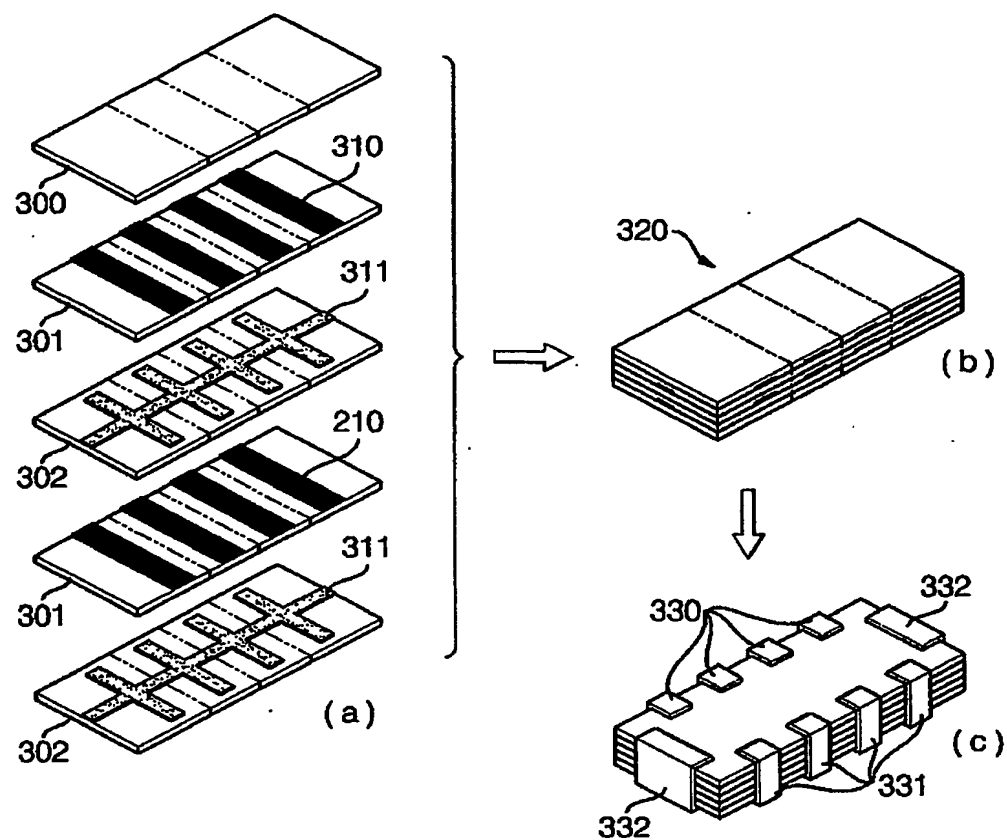
【도 2c】



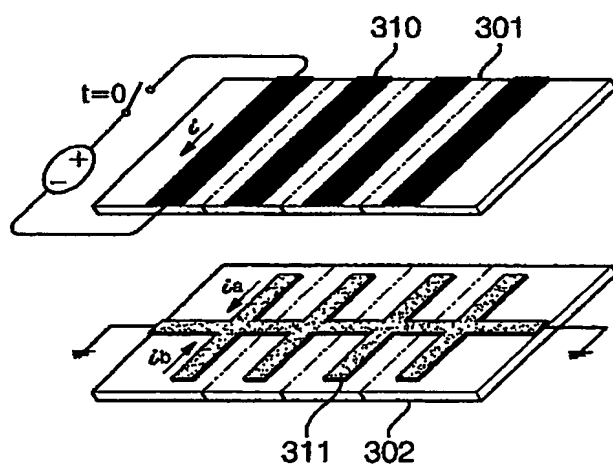
【도 2d】



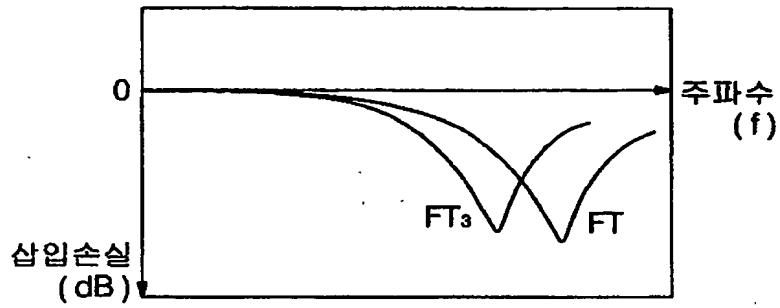
【도 3a】



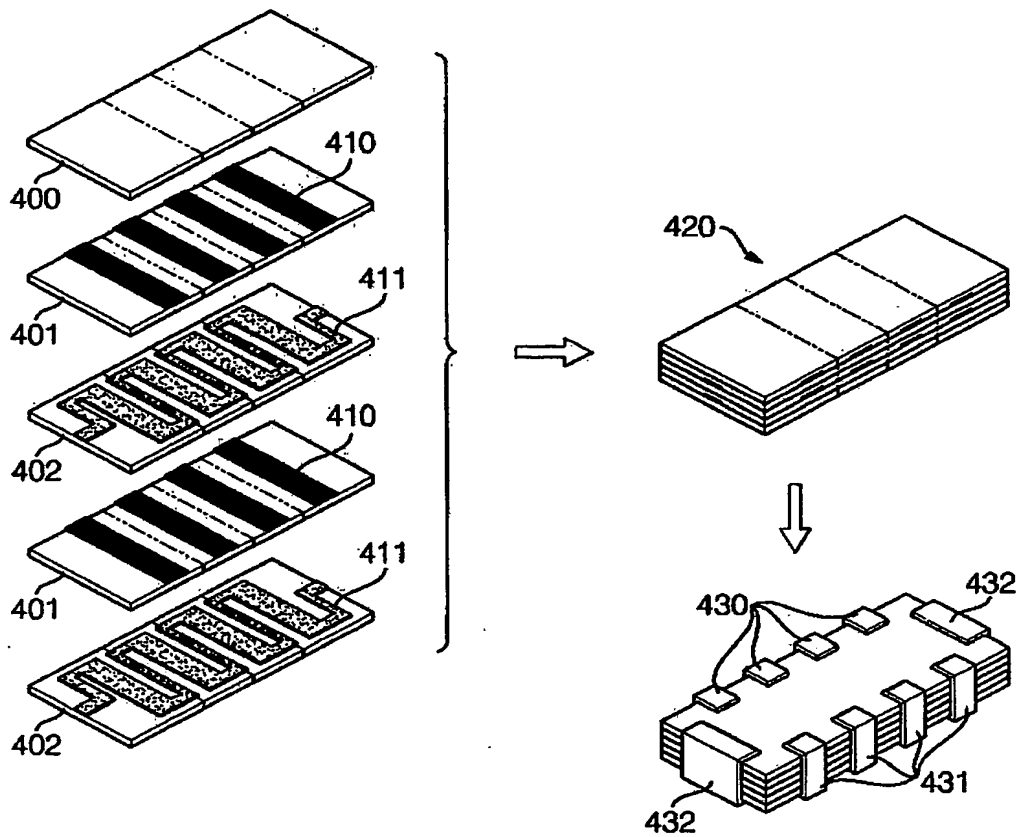
【도 3b】



【도 3c】

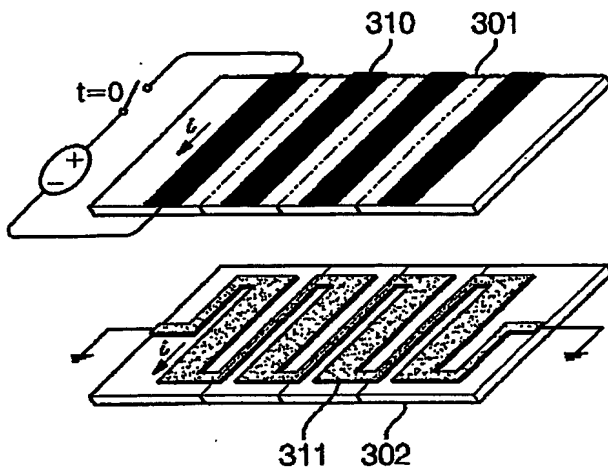


【도 4a】

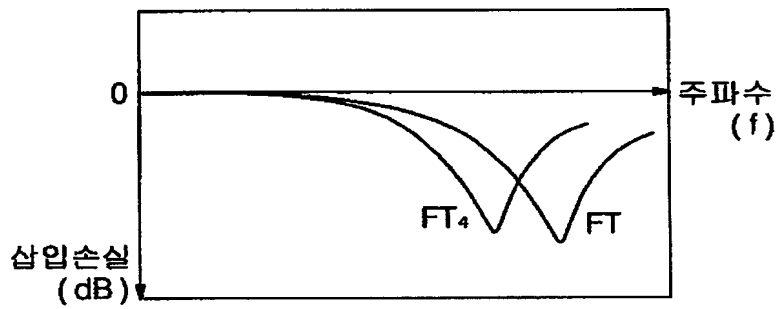




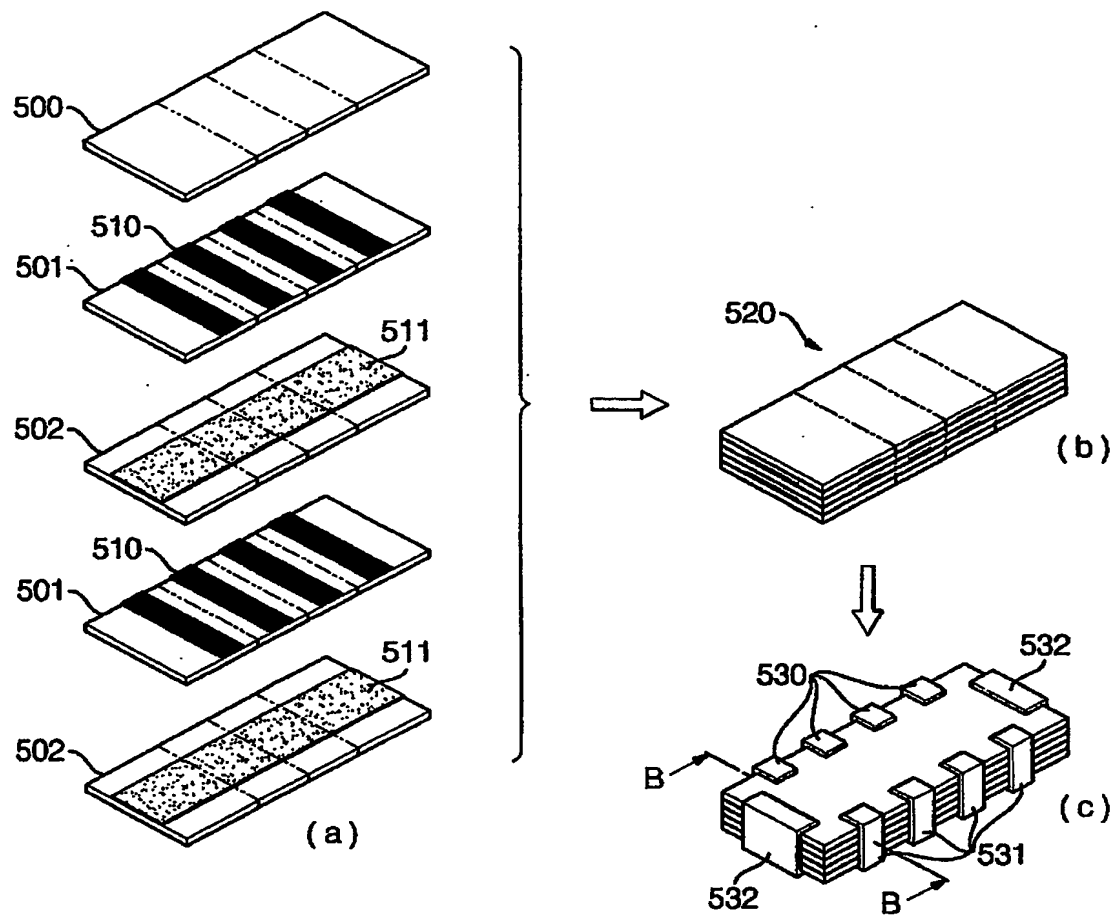
【도 4b】



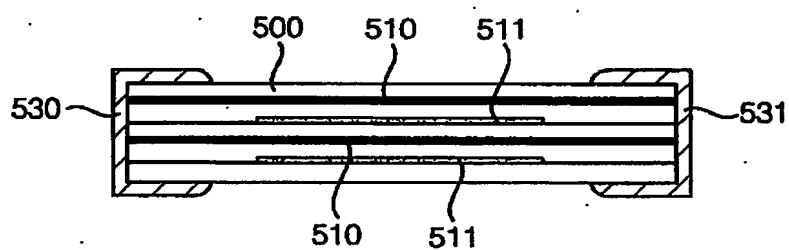
【도 4c】



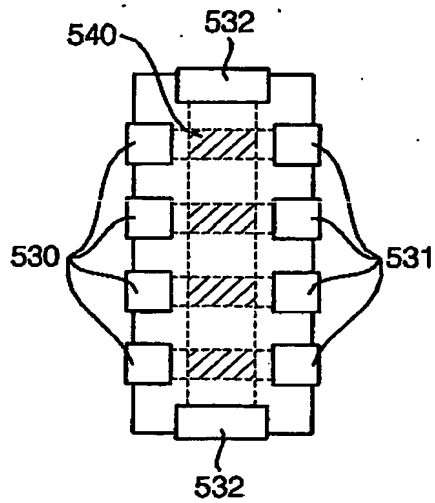
【도 5a】



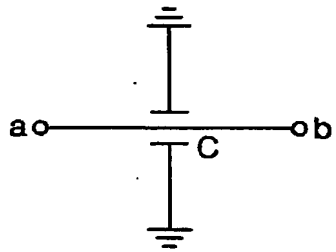
【도 5b】



【도 5c】



【도 5d】



【도 5e】

